

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150148

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

H

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平9-239921

(22) 出願日 平成9年(1997) 9月4日

(31) 優先権主張番号 特願平8-246394

(32) 優先日 平8(1996) 9月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 市川 浩司

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 石原 秀昭

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 藤井 裕志

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74) 代理人 弁理士 足立 勉

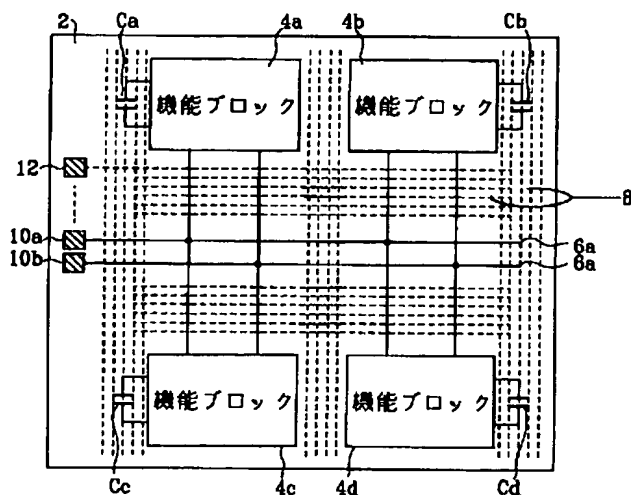
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 半導体集積回路 (I C) 内で発生する電源ノイズを低減する。

【解決手段】 CPU部、メモリ部等を構成する機能ブロック4a~4dと、各機能ブロック4a~4dに電源供給を行う電源配線6a、6bと、各機能ブロック4a~4bに信号を入出力するための多数の信号配線8とを半導体基板に形成したI Cにおいて、各機能ブロック4a~4dの近傍又はその内部の電源配線に、バイパスコンデンサCa~Cdを設ける。またその容量は、対応する機能ブロックで消費される電流特性に応じて設定する。この結果、各機能ブロック4a~4dの動作によって電源配線6a、6b側に発生するノイズを防止でき、このノイズがI Cの電源端子や入出力端子から外部に漏れ出すのを確実に防止できる。またCa~Cdを、2層の多結晶珪素層にて構成することにより、Ca~Cdの位置及び容量を設定する際の自由度を向上する。



## 【特許請求の範囲】

【請求項1】 電子回路を機能単位で構成した複数の機能ブロックと各機能ブロックに電源供給するための電源配線と各機能ブロックに信号を入出力するための信号配線とを半導体基板に形成してなる半導体集積回路において、

前記各機能ブロックに、電源配線に接続されるバイパスコンデンサを設け、

該バイパスコンデンサは、当該機能ブロックの近傍又はその内部に、前記電源配線とは異なる電極を用いて形成されていることを特徴とする半導体集積回路。

【請求項2】 前記バイパスコンデンサは、前記各機能ブロック間の配線領域に設けられていることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記バイパスコンデンサが設けられる前記機能ブロックには、少なくとも発振回路ブロックが含まれることを特徴とする請求項1又は請求項2に記載の半導体集積回路。

【請求項4】 前記バイパスコンデンサが設けられる前記機能ブロックには、少なくとも入出力インタフェースブロックが含まれることを特徴とする請求項1～請求項3いずれか記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えばCPU、メモリといった電子回路を、その機能ブロック毎に半導体基板上に形成した半導体集積回路に関し、詳しくは、これら各機能ブロックの動作によって生じる電源ノイズが外部に漏れるのを防止するのに好適な半導体集積回路に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】一般に、半導体集積回路（以下、単にICともいう）は、図7（a）に示すように、電子回路を機能単位で構成した複数の機能ブロック52（図では1個のみを示す）と、各機能ブロック52に対して外部から電源供給及び信号入出力を行なうための複数のパッド部54と、各パッド部54と各機能ブロック52とを接続する電源供給及び信号入出力用の配線56（図では電源配線のみを示す）とを、半導体基板58に形成し、これをICパッケージ内に収納することにより作製される。

【0003】また、半導体基板58内の各機能ブロック52に対して、外部から電源供給及び信号の入出力を行なえるようにするために、各パッド部56は、ボンディングワイヤ60を介して、ICの入出力端子となるリードフレーム62（図は電源供給用のみを示す）に接続される。

【0004】そして、こうしたICを、プリント配線基板等に組付けて他の回路と共に使用する際には、通常、電源供給用のリードフレーム62間に、バイパスコンデ

ンサC<sub>0</sub>が外付けされる。これは、ICに供給される電源変動を抑えて、内部回路の誤動作を防止するためである。

【0005】しかし、このように半導体集積回路に外付けされるバイパスコンデンサC<sub>0</sub>では、半導体集積回路外部での電源変動はある程度抑えることができるものの、半導体集積回路内部で生じる電源変動は抑えることができず、この電源変動に伴い生じる内部回路の誤動作、ノイズの発生といった問題については解決することはできなかった。

【0006】つまり、IC内では、内部回路を構成するトランジスタのオン・オフ過渡時に生じる電流変化によって、電源配線の電位（電源電位）が変動する。例えば、図8に示すように、内部回路がクロック信号に同期して動作する場合、電源電位は、そのクロック信号に同期して、クロック信号の立上がり及び立下がり時に変動する。そして、この電源電位の変動は、電源ノイズとなり、クロック信号の周波数（内部回路の動作周波数）の数百倍から数千倍の周波数帯域まで影響を及ぼす。

【0007】これに対して、ICに外付けされるバイパスコンデンサC<sub>0</sub>の等価回路は、図7（b）に示す如く、キャパシタンス成分、インダクタンス成分、リアクタンス成分からなり、高周波域ではキャパシタンス成分ではなく、インダクタンス成分が支配的になり、インピーダンスが高くなってしまふ。この結果、ICに外付けしたバイパスコンデンサC<sub>0</sub>では、ICの内部回路の動作によって生じる電源ノイズを充分吸収することができない。

【0008】一方、バイパスコンデンサC<sub>0</sub>に周波数特性がよい（つまりインダクタンス成分の小さい）コンデンサを使用すれば、ICから外部の電源ラインに漏れ出す電源ノイズを吸収できるが、リードフレーム62やボンディングワイヤ60にはインダクタンス成分が存在し、高周波ノイズに対するインピーダンスが高くなるため、バイパスコンデンサC<sub>0</sub>によってIC内で発生した電源ノイズを吸収することはできない。この結果、IC内で発生した電源ノイズは、信号入出力用のパッド部から外部に漏れ出すようになり、ICが高周波ノイズの発生源となってしまうことになる。

【0009】つまり、図9（a）、（b）に示す如く、一般に、ICにおいては、入力用のパッド部54a、出力用のパッド部54bには、夫々、正の電源配線側に設けられたハイサイドスイッチ（図ではpチャネルのMOSFET）Tin1、Tout1と、負の電源配線側に設けられたローサイドスイッチ（図ではnチャネルのMOSFET）Tin2、Tout2とからなる入・出力回路が設けられることから、電源配線に重畳された高周波ノイズは、入・出力回路において各スイッチを構成するトランジスタの寄生容量cによって、各パッド部54a、54bから外部に漏れ出してしまふのである。

【0010】また、IC内で発生した電源ノイズは、ICを構成する各機能ブロックの動作にも影響を与え、各機能ブロックが誤動作してしまうことがある。特に、アナログ回路とデジタル回路とを混載したICでは、デジタル回路部分のスイッチング動作によって生じた電源ノイズがアナログ回路の動作に影響を与えることになるため、ICの特性の劣化が避けられない。

【0011】従って、こうした問題を解決するには、IC内で電源電位の変動を抑える必要がある。一方、特開昭60-161655号公報には、IC内の電源配線を一方の電極とし、この電源配線に沿って形成した拡散層を他方の電極として、正負の電源配線間に容量を持たせ、バイパスコンデンサの一部を構成することが提案されている。そして、この提案の装置によれば、IC内の電源配線に直接バイパスコンデンサを設けることができるので、電源電位の変動（つまり電源ノイズ）を、ある程度抑えることができる。

【0012】しかし、この提案の装置のように、IC内の電源配線に沿って単にバイパスコンデンサを設けただけでは、IC内での電源ノイズを確実に防止することはできず、ICから外部に高周波ノイズが漏れ出すとか、IC内の回路が誤動作するといった上記問題を十分に解決することはできない。

【0013】つまり、既述したように、ICにおいては、一般に、CPUブロック、発振回路ブロック、メモリブロック、入出力インタフェースブロック等、多くの機能ブロックが、それぞれ分散して半導体基板上に配置される。そして、これら各機能ブロックは、夫々、電源ノイズの発生源となる。このため、IC内の電源配線に沿った位置にバイパスコンデンサを形成しただけでは、電源ノイズが生じた機能ブロックからみれば容量は分布定数的に分散していることになり、結局、電源配線のインピーダンスが影響するため、電源ノイズを十分に吸収することができない。従って、このような場合、ある機能ブロックで発生した電源ノイズが、電源配線或は信号配線を介して、他の機能ブロックに入力され、この機能ブロックの動作に影響を与えることになる。

【0014】また、電源配線に設けるバイパスコンデンサの容量を充分大きくすれば、電源ノイズの発生を抑えることができるが、この場合、電源ノイズのレベルに必要な容量を得るためには電源配線のインピーダンスの影響を考慮して容量を増やす必要がある。従って、必要以上の容量を形成しなければならず、これによって欠陥の発生率が高まり、バイパスコンデンサの容量を大きくするには、歩留りが悪くなる。

【0015】即ち、ICの信頼性を確保しつつ、電源配線にバイパスコンデンサを設けて、電源ノイズを低減するには、必要な場所に必要容量のコンデンサを設ける必要があり、上記提案の装置のように、ただ漫然とバイパスコンデンサを設けただけでは実現できない。

【0016】本発明は、こうした問題に鑑みなされたもので、複数の機能ブロックを内蔵した半導体集積回路において、半導体集積回路の信頼性を低下させることなく、半導体集積回路内で発生する電源ノイズを確実に抑制できるようにすることを目的とする。

【0017】

【課題を解決するための手段】かかる目的を達成するためになされた請求項1に記載の発明は、電子回路を機能単位で構成した複数の機能ブロックと各機能ブロックに電源供給するための電源配線と各機能ブロックに信号を入出力するための信号配線とを半導体基板に形成してなる半導体集積回路において、各機能ブロックに電源配線に接続されるバイパスコンデンサを設け、このバイパスコンデンサは、機能ブロックの近傍又はその内部に電源配線とは異なる電極を用いて形成されていることを特徴とする。

【0018】従って、本発明（請求項1）の半導体集積回路によれば、バイパスコンデンサを各機能ブロックの近傍又は内部にて、電源配線とは異なる電極を用いて設けているため、電源ノイズ発生源である機能ブロックに対して配線インピーダンスを極力抑えた状態にてバイパスコンデンサを接続することができる。これにより、各機能ブロックにて生じた電源ノイズを確実に吸収することができる。

【0019】このため、各機能ブロックから電源配線或は信号配線を通して他の機能ブロックに電源ノイズ（高周波ノイズ）が入力されることはなく、各機能ブロックは、電源ノイズの影響を受けることなく、常に正常動作することができる。また、このように各機能ブロックから電源ノイズが出力されることがないので、電源配線或は信号配線を介してICから外部に高周波ノイズが漏れ出すこともない。従って、本発明によれば、高周波ノイズを発生することなく、且つ安定した動作特性を有する半導体集積回路を実現できる。

【0020】また、各機能ブロック毎に設けられるバイパスコンデンサの容量は、各機能ブロックの動作によって生じる電源ノイズを吸収するのに要する容量に制限されることから、この容量が不必要に大きくなって、半導体集積回路の信頼性が低下するのも防止できる。

【0021】つまり、既述したように、半導体集積回路において、電源配線を一方の電極としてコンデンサを形成する場合には、必要以上に容量を形成しなければならず、不良品が発生し易くなる。しかし、本発明では、インピーダンスを極力抑えた状態にてバイパスコンデンサを機能ブロックに接続できるため、その容量を必要最小限に抑えることができ、バイパスコンデンサの容量が不必要に大きくなって、不良品の発生率が増加するのを防止できる。

【0022】従って、本発明によれば、高周波ノイズを発生することなく常に安定して動作する半導体集積回路

10

20

30

40

50

を、歩留りを低下させることなく生産できることになり、こうした半導体集積回路の生産性を向上することもできる。次に、請求項2に記載の発明では、バイパスコンデンサを、各機能ブロック間の配線領域に設けている。各機能ブロック間の配線領域下には、MOSトランジスタやROM等の半導体素子は形成されず、素子を形成する上では空き領域となる。そして、この空き領域にバイパスコンデンサを形成するようにしているため、集積回路としての面積をほとんど増加させることなくバイパスコンデンサを設けることができる。また、空き領域を利用するために、配置位置、大きさを自由に設定できる。

【0023】即ち、半導体基板に形成された電源配線にバイパスコンデンサを接続するには、上記従来公報に開示された装置のように、電源配線に沿って拡散層を形成することにより、電源配線を電極とするバイパスコンデンサを構成することもできる。しかし、このようにバイパスコンデンサを拡散層にて構成した場合、バイパスコンデンサは、半導体基板において、電源配線が形成された電源配線領域にしか構成することができず、バイパスコンデンサの配置位置が制限されてしまう。

【0024】また、この場合、通常の電源配線領域だけで必要な容量を確保するのは困難であり、本発明のように、バイパスコンデンサの容量を各機能ブロックの電流特性に応じて設定するには、電源配線領域を増やして、その容量を確保しなければならないことが考えられる。そしてこのように電源配線領域を増やすには、半導体基板の面積を大きくする必要があり、半導体集積回路の大型化・コストアップを招く。

【0025】つまり、上記従来公報に開示された装置のようにバイパスコンデンサを拡散層にて構成した場合には、必要な容量のバイパスコンデンサを必要な場所に構成することが難しく、回路設計上の自由度が小さいのである。これに対して、本発明（請求項2）では、バイパスコンデンサを、配線領域に形成していることから、バイパスコンデンサの配置位置を自由に選択することが可能になり、その容量を確保するために、半導体基板の面積を大きくする必要がない。

【0026】従って、本発明によれば、半導体集積回路内の各機能ブロック毎に、必要な容量のバイパスコンデンサを、必要な場所に容易に構成することができるようになり、回路設計上の自由度を向上できる。次に、請求項3及び請求項4に記載の発明では、バイパスコンデンサが設けられる機能ブロックには、発振回路ブロックあるいは入出力インタフェースブロックが含まれる。本願発明者らの測定によると、これらの機能ブロックによる電源ノイズがかなり大きいことがわかった。従って、これらの機能ブロックにバイパスコンデンサを設けることで確実に電源ノイズの放出を防止することができる。

【0027】

【発明の実施の形態】以下に本発明の実施例を図面と共に説明する。まず図1は、本実施例の半導体集積回路（IC）の半導体基板2の構成を表わす説明図である。

【0028】図1に示すように、半導体基板2には、所定の信号処理機能を有する4種類の機能ブロック（例えば、CPUブロック、発振回路ブロック、メモリブロック、入出力インタフェースブロック）4a、4b、4c、4dが、夫々、分散して形成されると共に、これら各機能ブロック4a～4dに電源を供給するための正・負の電源配線6a、6b、各機能ブロック4a～4dに制御信号やデータ信号等の各種信号を入出力するための多数の信号配線8、電源配線6a、6bに外部から電源を供給するための電源供給用のパッド部10a、10b、及び、各信号配線8に外部から信号を入出力するための信号入出力用の多数のパッド部12（図では1個のみを示す）が形成されている。

【0029】尚、これら各パッド部10a、10b、12には、図7に示した従来のICと同様、図示しないボンディングワイヤを介して、夫々、ICの電源端子及び信号の入出力端子となるリードフレームに接続される。また、本実施例では、各機能ブロック4a～4dの近傍又はその内部に位置する電源配線6a、6b間に、夫々、各機能ブロック4a～4dの電流特性に応じて設定された容量を有するバイパスコンデンサCa、Cb、Cc、Cdが設けられている。

【0030】このバイパスコンデンサCa～Cdは、図2に示すように、半導体基板2の各機能ブロック4a～4bの近傍又はその内部の半導体基板2上に、2層の多結晶珪素層（ポリシリコン層）21、22を形成することにより構成されている。即ち、図2は、半導体基板2として、n<sup>-</sup>型単結晶シリコン基板を用い、その基板2に、P<sup>+</sup>型ウエル24、一对のn<sup>+</sup>型拡散層25を形成すると共に、酸化膜26を積層し、その上にゲートとなるポリシリコン層27及び酸化膜28を形成することにより構成したnチャネルMOSFETと共に、半導体基板2上にバイパスコンデンサCa～Cdを構成した場合の半導体基板2の断面図を表わす。そして、この図2に示す如く、各バイパスコンデンサCa～Cdは、半導体基板2上に形成された酸化膜26の上に、一方のコンデンサ電極となるポリシリコン層22を形成し、更にその上に酸化膜29を形成した後、他方のコンデンサ電極となるポリシリコン層21を形成することにより構成され、これらコンデンサ電極を構成するポリシリコン層21、22は、絶縁層30を介して、その上部に形成されたアルミニウム層からなる正負の電源配線6a、6bに接続される。

【0031】尚、図2において、電源配線6a、6bの上部には絶縁層30を介してアルミニウム層からなる信号配線8が形成されている。また、電源配線6a、6bと同じ位置に形成された他のアルミニウム層は、FET

のドレイン及びソースに接続された機能ブロック内の信号配線32を表わす。

【0032】また、バイパスコンデンサCa～Cdは、図2に示すポリシリコン層21a及びn<sup>+</sup>型半導体層22bからなる、所謂MOS容量にて形成するようにしてもよい。尚、ポリシリコン層21aと対向する電極となるn<sup>+</sup>型半導体層はROM (Read Only Memory) を形成するためのイオン注入と同時に形成することができる。

【0033】次に、上記各バイパスコンデンサCa～Cdの容量は、対応する機能ブロック4a～4d毎に、以下のように設定される。即ち、各機能ブロック4a～4dは、クロック信号に同期して動作するため、各機能ブロック4a～4d近傍の電源配線6a, 6b間では、その動作に同期して電圧降下が生じ、図8に示したように、電源電位が規定の電位より下降する。これは各機能ブロック4a～4dがクロック信号に同期して動作したときに、クロック信号の変異点で電流が集中的に消費されるためであり、この電流変化が電源ノイズ（高周波ノイズ）の発生源となる。従って、この電流変化によるノイズを低減するためには、バイパスコンデンサCa～Cdの容量を、各機能ブロック4a～4dで消費される電流量を供給できる容量値にすればよい。つまり、各バイパスコンデンサCa～Cdは、容量値をCx、電源電圧をVとすれば、電源電圧の変動時に、「 $I = Cx \cdot dV / dt$ 」の電流を各機能ブロック4a～4dに供給できる。そこで、本実施例では、回路設計時に、各機能ブロック4a～4dで消費される電流を見積り、この電流変化によって生じる電圧変動を抑制するのに必要な容量値を算出し、各バイパスコンデンサCa～Cdをこの容量値に設定している。

【0034】なお、バイパスコンデンサCa～Cdは、この容量値を確保するために、各機能ブロック4a～4d近傍又はその内部の電源配線6a, 6b間に形成した複数のコンデンサにて構成され、これら各コンデンサの合成容量にて、必要な容量値を確保している。

【0035】また、本願発明者らが調べたところ、機能ブロックとして発振回路ブロックと入出力インタフェースブロックは、特に電圧変動が大きく、電源ノイズレベルが大きいことが判明した。従って、発振回路ブロックと入出力インタフェースブロックとにバイパスコンデンサを設けるようにすれば、かなりの電源ノイズを抑制することができる。

【0036】以上説明したように、本実施例の半導体集積回路においては、半導体基板2に形成される機能ブロック4a～4d毎に、その機能ブロック4a～4dの電流特性に応じた容量値を有するバイパスコンデンサCa～Cdを設けるようにしている。このため、各機能ブロック4a～4dの動作によって生じる周期的な電流変化によって、電源配線6a, 6bに電源ノイズが発生するのを防止でき、この電源ノイズによって他の機能ブロッ

クが誤動作するのを防止できる。

【0037】つまり、図3(a)に示す如く、電源配線を一方の電極として電源配線に沿うようにバイパスコンデンサを形成した場合には、容量は分布定数的に分散しており、電源配線のインピーダンス成分も大きく寄与するようになるため、単純に容量だけを考慮してバイパスコンデンサを形成した場合には、電源ノイズを十分に抑制することができない。従って、各機能ブロックの電流変化によって生じるノイズが電源配線6a, 6bに漏れ出し、他の機能ブロックの動作に影響を与えるが、本実施例によれば、図3(b)に示す如く、バイパスコンデンサを電源配線とは異なる電極にて形成し、しかも各機能ブロックの近傍またはその内部に設けるようにしているため、インピーダンス成分を極力抑えることができる。従って、各機能ブロックの電流変化によって生じたノイズが、バイパスコンデンサCa～Cdによって十分吸収されることから、各機能ブロックから電源配線6a, 6bに漏れ出すノイズを抑制することができ、この電源ノイズによって他の機能ブロックが誤動作するのを防止できる。

【0038】また、このように電源配線6a, 6bに発生する電源ノイズを抑制できることから、電源配線6a, 6bから、ボンディングワイヤ、リードフレームを介して外部に漏れ出す電源ノイズを抑制することもできる。例えば、図4は、バイパスコンデンサを設けた本実施例のICと、バイパスコンデンサを設けていない従来のICとを夫々動作させて、その電源供給用のリードフレーム間に発生した76MHzから108MHzまでの周波数帯のノイズを、スペクトラムアナライザにて測定した結果を表わしているが、図4(a)に示す如く、コンデンサ無しの従来のICにおいては、ノイズのピークが-51.5dBmとなっているのに対し、コンデンサを設けた本実施例のICにおいては、ノイズのピークが-65.8dBmとなり、各機能ブロック毎に設けたバイパスコンデンサによって、IC内の電源配線から外部に出力されるノイズを14dB以上も低減できることが判る。

【0039】尚、図4において、ノイズは2MHz周期で大きくなっているが、これは、ICの動作クロックが4MHzであり、クロック信号の立上がり及び立下がりタイミング（周波数2MHz）に同期して、その周波数の整数倍のノイズが発生しているためである。

【0040】また、本実施例によれば、電源配線6a, 6bに発生する電源ノイズを抑制できることから、ICの信号入出力端子から外部に漏れ出す高周波ノイズを抑制することもできる。例えば、図5は、バイパスコンデンサを設けた本実施例のICと、バイパスコンデンサを設けていない従来のICとを夫々動作させて、ICの信号入力端子、信号出力端子、電源端子から出力されるノイズレベル測定した結果を表わしているが、この測定結

果からも、本実施例のように、IC内の各機能ブロック毎にバイパスコンデンサを設けることによって、ICの電源端子から外部に出力される高周波ノイズを抑制できるだけでなく、信号入出力用の端子から出力される高周波ノイズを抑制できることが判る。

【0041】一方、IC内に設けるバイパスコンデンサの総容量値とノイズレベルとの関係を測定したところ、図6に示すような測定結果が得られた。この測定結果から判るように、容量が小さい場合には、少しの容量変化によってノイズレベルが大きく変化し、容量が大きくなるほど、容量変化に対するノイズレベルの変化割合が小さくなる。この測定結果から、バイパスコンデンサの容量値には最適値があり、その容量値に設定すれば、必要最小限の容量値にて、ノイズを最適に抑制できることが判る。

【0042】そして、本実施例では、各機能ブロック毎に設けるバイパスコンデンサの容量を、各機能ブロックにて消費される電流特性に応じて設定していることから、各機能ブロックの動作によって生じる電源ノイズを低減するためのバイパスコンデンサの容量が不必要に大きくなることはない。従って、半導体基板上に形成するバイパスコンデンサの数を必要最小限に抑えることができ、バイパスコンデンサにおけるリーク電流の発生を抑制して、ICの生産性及び信頼性を向上できる。

【0043】また、このように本実施例では、バイパスコンデンサCa～Cdを2層のポリシリコン層21、22にて構成しているので、バイパスコンデンサCa～Cdを、半導体基板上の電源配線領域に限らず、信号配線領域にも構成することができる。従って、バイパスコンデンサCa～Cdを拡散層にて構成した場合に比べて、バイパスコンデンサCa～Cdの配置位置及びその容量を設定する際の自由度を高めることができ、設計時の作業性を向上することもできる。また、容量を確保するために、電源配線領域を増やす必要もないため、半導体基板の大型化、延いてはICのコストアップを招くこともない。

【0044】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるものではなく、種々の態様を採ることができる。例えば、上記実施例では、バイパスコンデンサCa～Cdを、2層のポリシリ

\*コン層21、22で構成するものとして説明したが、例えば、バイパスコンデンサCa～Cdの一部を拡散層にて構成し、その拡散層にて構成したコンデンサと、2層のポリシリコン層にて構成したコンデンサとの合成容量にて、バイパスコンデンサCa～Cdを実現するようにしてもよい。

【0045】また上記実施例では、半導体基板2に4個の機能ブロックを形成したICについて説明したが、本発明は、複数の機能ブロックを備えたICであれば、上記実施例と同様に適用して、同様の効果を得ることができる。

#### 【図面の簡単な説明】

【図1】 実施例の半導体集積回路(IC)の半導体基板の構成を表わす説明図である。

【図2】 実施例の半導体基板上に形成されたバイパスコンデンサの構成を説明する説明図である。

【図3】 実施例のバイパスコンデンサによるノイズ低減効果を説明する説明図である。

【図4】 ICの電源端子から外部に漏れ出すノイズレベルを測定した測定結果を表わすグラフである。

【図5】 ICの電源端子、入力端子及び出力端子から外部に漏れ出すノイズレベルを測定した測定結果を表わすグラフである。

【図6】 ICに設けるバイパスコンデンサの総容量とノイズとの関係を測定した測定結果を表わすグラフである。

【図7】 従来のICの構成及びそのICの電源端子に外付けされるバイパスコンデンサの等価回路を表わす説明図である。

【図8】 ICの電源配線に生じるノイズを説明する説明図である。

【図9】 ICの入出力端子から電源ノイズが出力される理由を説明する説明図である。

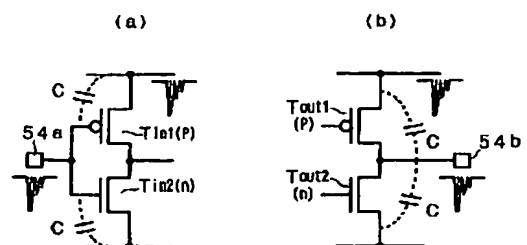
#### 【符号の説明】

2…半導体基板      4a～4d…機能ブロック      6  
a, 6b…電源配線  
8…信号配線      10a, 10b, 12…パッド部  
Ca～Cd…バイパスコンデンサ      21, 22…ポリシリコン層

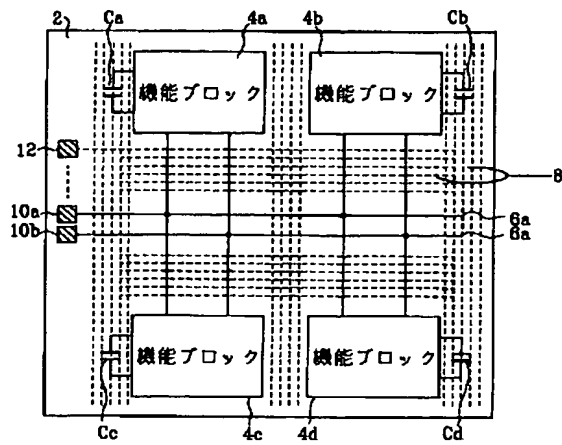
【図8】



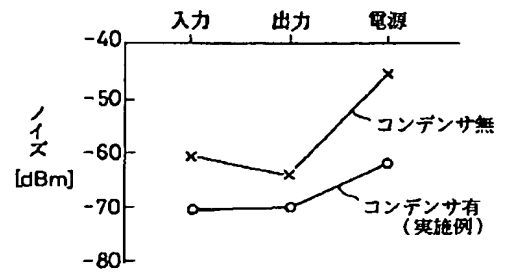
【図9】



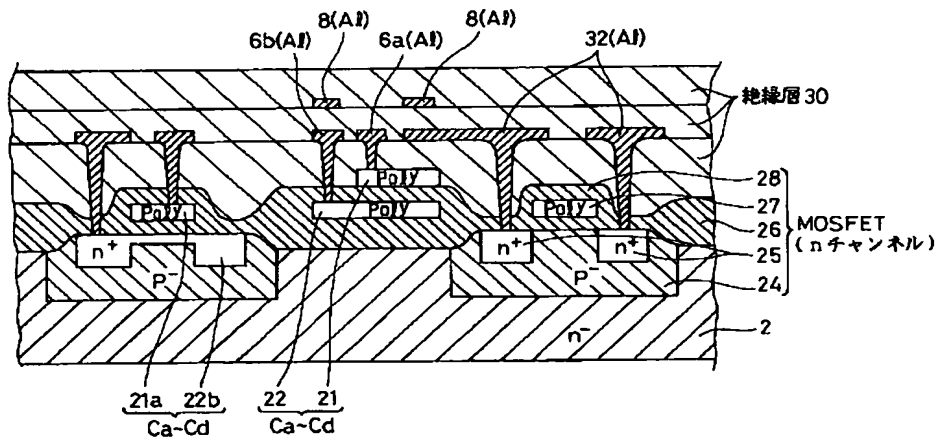
【図1】



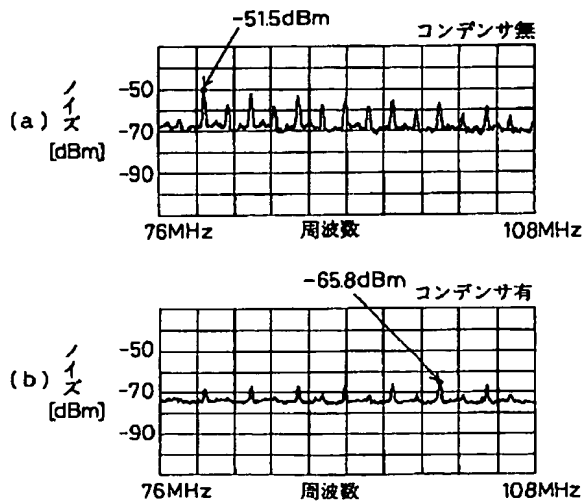
【図5】



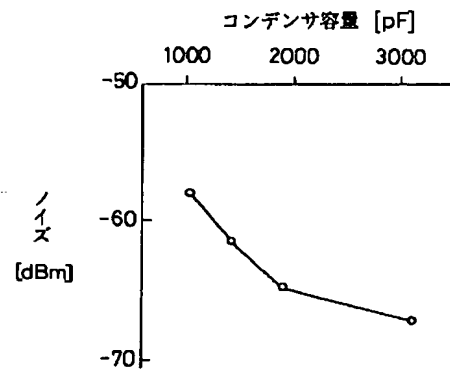
【図2】



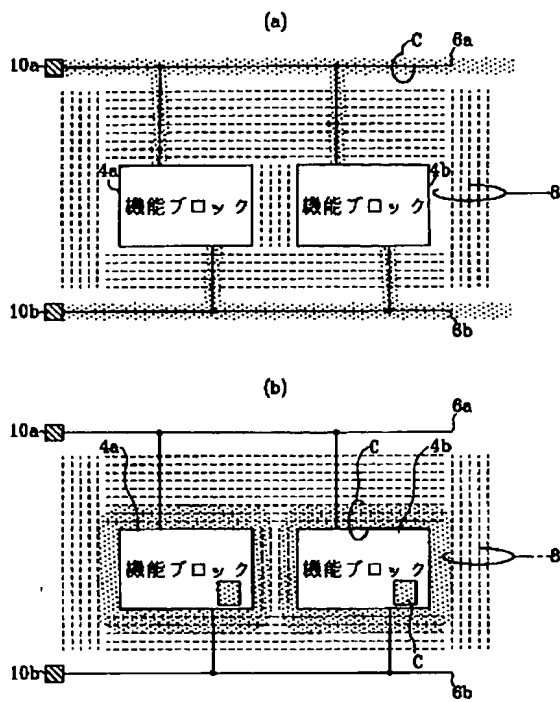
【図4】



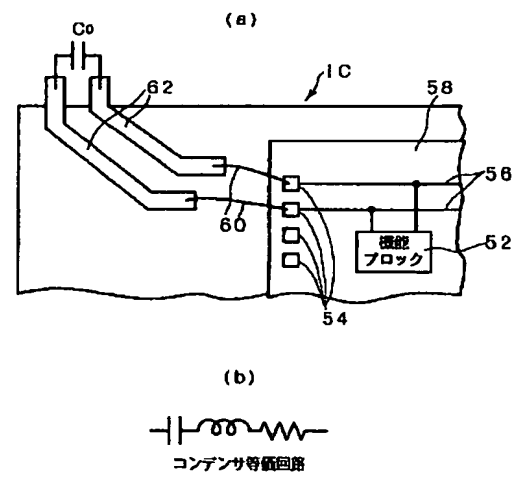
【図6】



【図3】



【図7】



フロントページの続き

(72)発明者 鶴田 前  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内